

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-298589  
 (43)Date of publication of application : 24.10.2000

(51)Int.CI. G06F 9/38  
 G06F 9/30  
 G06F 9/305  
 G06F 9/34  
 G06F 15/78

(21)Application number : 11-105119  
 (22)Date of filing : 13.04.1999

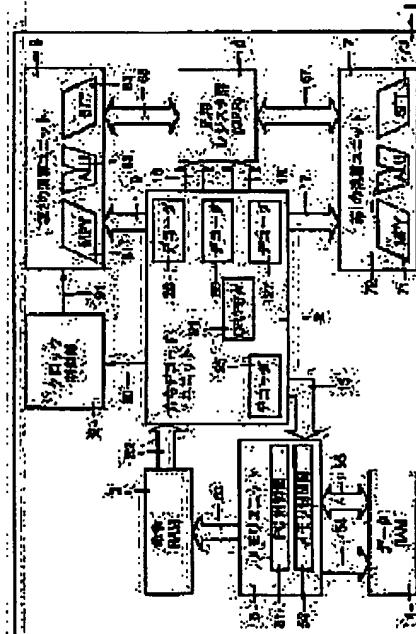
(71)Applicant : MITSUBISHI ELECTRIC CORP  
 (72)Inventor : NAKAKIMURA KYOSHI

## (54) MICROPROCESSOR

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To provide a microprocessor capable of improving operational performance while maintaining interchangeability with a conventional microprocessor as much as possible.

**SOLUTION:** The microprocessor 1 includes plural operation units 7, 8, a register group 6 allowed to be connected to the units 7, 8, a control register 21 capable of setting a value for specifying the operation or non-operation of the unit 8, a decoder 28 for controlling the unit 8 to an operation state or a non-operation state by referring to the value set in the register 7, and a decoder 26 for distributing and allocating registers included in the register group 6 to the unit 7 and the other operation unit 8 controlled to the operation state by referring to the value set in the register 21.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Best Available Copy

(19) 日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号  
特開2000-298589  
(P2000-298589A)

(43)公開日 平成12年10月24日(2000.10.24)

(51) Int.Cl. <sup>7</sup>		識別記号	F I	データー(参考)	
G	0	6	F	9/38	370A 5B013
				9/30	310B 5B033
				330	330A 5B062
				9/305	360
				9/30	330

審査請求 未請求 請求項の数3 OL (全 8 頁) 最終頁に続く

(21)出願番号 特願平11-105119

(22)出願日 平成11年4月13日(1999.4.13)

(71) 出願人 000006013

三菱電機株式会社

東京都千代田区丸の内二丁目2番3号

(72) 発明者 中木村 清

東京都千代田

## 菱電機株式会社内

(74)代理人 100064746

理士 深見 久郎 (外3名)

DD01 DD04

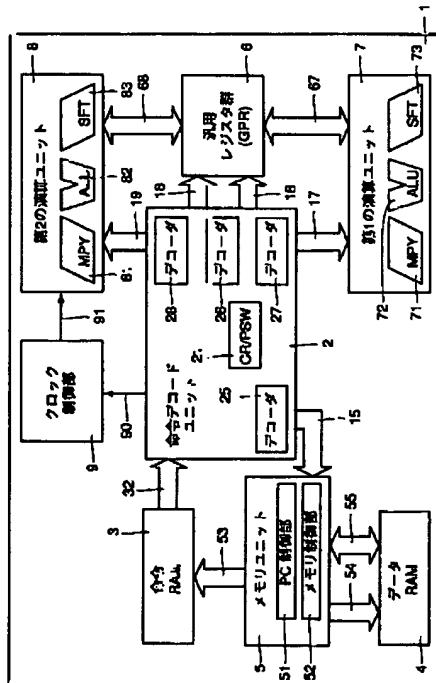
5B033 AA03 AA11 AA14 BA01

(54) 【発明の名称】 マイクロプロセッサ

(57)【要約】

**【課題】** 従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、演算性能を向上させたマイクロプロセッサを提供する。

【解決手段】 マイクロプロセッサ1は、演算ユニット7を含む複数個の演算ユニット7、8と、演算ユニット7、8と結合可能なレジスタ群6と、演算ユニット8の動作または非動作を指定する値を設定可能な制御レジスタ21と、制御レジスタ21に設定された値を参照して、演算ユニット8を動作状態または非動作状態に制御するためのデコーダ28と、制御レジスタ21に設定された値を参照して、演算ユニット7と、動作状態に制御された他の演算ユニットとに対して、レジスタ群6に含まれるレジスタを分配して割当てるためのデコーダ26とを含む。



【特許請求の範囲】

【請求項1】 第1の演算ユニットを含む複数個の演算ユニットと、

前記複数個の演算ユニットと結合可能なレジスタ群と、前記複数個の演算ユニットのうち、前記第1の演算ユニット以外の演算ユニットの各々を動作状態または非動作状態に指定する値を設定可能な制御情報格納手段と、前記制御情報格納手段に設定された値を参照して、前記第1の演算ユニット以外の演算ユニットの各々を動作状態または非動作状態に制御するための演算ユニット制御手段と、

前記制御情報格納手段に設定された値を参照して、前記第1の演算ユニットと、前記演算ユニット制御手段によって動作状態に制御された演算ユニットとに対して、前記レジスタ群に含まれるレジスタを分配して割当てるためのレジスタ割当て手段とを含む、マイクロプロセッサ。

【請求項2】 前記演算ユニット制御手段によって非動作状態となるように制御された演算ユニットへのクロック信号の供給を停止し、前記第1の演算ユニットと、前記演算ユニット制御手段によって動作状態となるように制御された演算ユニットへのクロック信号の供給を行うようにクロック信号の供給を制御するためのクロック制御手段とをさらに含む、請求項1に記載のマイクロプロセッサ。

【請求項3】 前記演算ユニット制御手段は、前記複数個の演算ユニットの各々に対して、与えられる命令コードと、NOP命令コードとのいずれか一方を、前記制御情報格納手段に設定された値を参照して選択し、対応の演算ユニットに与えるための選択手段を含む、請求項1または請求項2のいずれかに記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数個の演算ユニットおよび複数個の汎用レジスタを含み、制御レジスタの値に応じて、内蔵する複数の演算ユニットの動作・非動作を制御可能なマイクロプロセッサに関する。

【0002】

【従来の技術】最近の映像・音声の処理を行なう情報家電の市場では、アナログの情報からデジタルの情報への世代交代が急速に進みつつある。特にAV(Audio Visual)分野におけるMPEG2(Motion Picture Expert Group phase 2)のような符号化方式では、高度な演算処理を行なって音声および画像情報を符号化することで、元の音声および映像の品質を保持したまま情報量を大幅に削減することが可能である。そのためMPEG2のような符号化方式は今後のデジタル放送の主役になる可能性が非常に大きいと考えられる。

【0003】しかし一方で、このように符号化されたデ

ータは、情報を利用する時点において復号化する必要がある。さもなければ元の音声や映像を楽しむことができない。データの復号化には、符号化時と同様に多くの演算処理が必要とされる。しかも符号化時と異なり、復号化に要する時間はできるだけ短くすることが要求される。そのためより高品質の映像、音声の再生のためにには、高度な演算処理能力を持ったプロセッサなどが要求される。

【0004】プロセッサの演算能力を上げるための一手法として、同時に複数の演算ユニットを並列化する方法が考案されている。その一例がたとえば特開昭63-201830号公報に示されている。同公報には、複数個の演算器と、どの演算器を用いるかを示す並列制御レジスタとを含む情報処理装置が示されている。並列制御レジスタの内容、または命令後の1語以上の演算レジスタを指示するオペランド指定をもとに、1個以上の演算器を同時に動作させる機構を設けることにより、演算レジスタ語に対する並列演算を可能にし、かかる並列演算と一般演算を同一の命令体系で行なえるとされている。

【0005】

【発明が解決しようとする課題】しかしながらこの従来の技術では、命令をどの演算器で実行するか、どの演算レジスタを演算において使用するかを命令のオペランドで指定する必要がある。そのため、たとえば並列演算と一般演算とを同一の命令体系で行なうことができたとしても、命令体系自体が従来のものと異なってくるために、既に存在している単一の演算ユニットを備えた情報処理装置のためのソフトウェアを大幅に変更しなければならないという問題点があった。

【0006】一方で、たとえば既に存在している単一の演算ユニットを有する情報処理装置(プロセッサ)の処理能力を強化するために最も簡単な方法は、演算ユニットを複数個にすることである。しかしこの場合、そうした拡張を行なう前のソフトウェアとの互換性をできるだけ保つことが好ましい。

【0007】それゆえに本発明の目的は、従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、演算性能を向上させたマイクロプロセッサを提供することである。

【0008】本発明の別の目的は、従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、複数個の演算ユニットを用いて演算性能を向上させ、かつ消費電力の増大を少なくしたマイクロプロセッサを提供することである。

【0009】

【課題を解決するための手段】請求項1に記載の発明にかかるマイクロプロセッサは、第1の演算ユニットを含む複数個の演算ユニットと、複数個の演算ユニットと結合可能なレジスタ群と、複数個の演算ユニットのうち、第1の演算ユニット以外の演算ユニットの各々の動作ま

たは非動作を指定する値を設定可能な制御情報格納手段と、制御情報格納手段に設定された値を参照して、第1の演算ユニット以外の演算ユニットの各々を動作状態または非動作状態に制御するための演算ユニット制御手段と、制御情報格納手段に設定された値を参照して、第1の演算ユニットと、演算ユニット制御手段によって動作状態に制御された演算ユニットとに対して、レジスタ群に含まれるレジスタを分配して割当てるためのレジスタ割当て手段とを含む。

【0010】制御情報格納手段にある値を設定することにより、第1の演算ユニット以外の演算ユニットを動作状態または非動作状態のいずれかに制御できる。第1の演算ユニットのみを動作状態とすると、単一の演算ユニットのみをもつマイクロプロセッサと全く同じ動作が可能である。一方、第1の演算ユニット以外の演算ユニットを動作可能とすると、演算性能を向上させることができる。

【0011】請求項2に記載の発明にかかるマイクロプロセッサは、請求項1に記載の発明の構成に加えて、演算ユニット制御手段によって非動作状態となるように制御された演算ユニットへのクロック信号の供給を停止し、第1の演算ユニットと、演算ユニット制御手段によって動作状態となるように制御された演算ユニットへのクロック信号の供給を行うようにクロック信号の供給を制御するためのクロック制御手段をさらに含む。

【0012】請求項2に記載のマイクロプロセッサでは、請求項1に記載の発明の作用に加え、非動作状態に制御された演算ユニットへのクロック信号の供給が停止されるので、それら演算ユニットに含まれる演算器は全く動作しない。一方、動作状態に制御された演算ユニットへはいずれも動作のためのクロック信号が供給され、並列に演算を実行することができる。

【0013】請求項3に記載の発明にかかるマイクロプロセッサは、請求項1または請求項2に記載の構成に加えて、演算ユニット制御手段は、複数個の演算ユニットの各々に対して、与えられる命令コードと、NOP命令コードとのいずれか一方を、制御情報格納手段に設定された値を参照して選択し、対応の演算ユニットに与えるための選択手段を含む。

【0014】この構成により、簡単な仕組みで各演算ユニットを動作状態または非動作状態のいずれかに設定することが容易に行える。

【0015】

【発明の実施の形態】図1は、本出願の一実施の形態に係る32ビットマイクロプロセッサのハードウェア構成の概略を示す。このマイクロプロセッサ1は、命令デコードユニット2と、命令RAM(Random Access Memory)3と、データRAM4と、メモリユニット5と、レジスタファイルを構成する汎用レジスタ群6と、第1の演算ユニット7と、第2の演算ユニット8と、第2の演

算ユニット8用のクロック制御部9とを含んでいる。

【0016】命令デコードユニット2は、制御レジスタ(CR)/プロセッサ状態語(P SW: Processor Status Words)21と、メモリユニット5に対応するデコーダ25と、汎用レジスタ群6に対応するデコーダ26と、第1の演算ユニット7に対応するデコーダ27と、第2の演算ユニット8に対応するデコーダ28とを含む。命令デコードユニット2は、命令RAM3から64ビット幅のデータバスを通じて送られる命令コードをデコーダ25、26、27および28を用いてデコード処理を行なうためのものである。

【0017】CR/P SW21に基づき命令RAM3からの命令コードをデコーダ25がデコードし、メモリユニット5への制御信号15を生成する。CR/P SW21に基づいて、命令RAM3からの命令コードをデコーダ26がデコードすることにより、汎用レジスタ群6のための、第1の演算ユニット7に対応する制御信号16と、第2の演算ユニット8に対応する制御信号18とが生成される。CR/P SW21に基づき、命令RAM3からの命令コードをデコーダ27がデコードすることにより、第1の演算ユニット7への制御信号17が生成される。CR/P SW21に基づき、命令RAM3からの命令コードをデコーダ28がデコードすることにより、第2の演算ユニット8への制御信号19が生成される。

【0018】命令RAM3は、32ビット幅のアドレスバス53と64ビット幅のデータバス32とに接続されている。命令RAM3は、アドレスバス53の示すアドレスに対応する64ビット長の命令データを出力する。データRAM4は、32ビット幅のアドレスバス54と64ビット幅のデータバス55とに接続されている。データRAM4は、アドレスバス54の示すアドレスに対応する64ビット長のデータの読出および書きを行なうことができる。

【0019】メモリユニット5は、PC(プログラムカウンタ)制御部51と、メモリ制御部52とを含む。PC制御部51は命令に応じて次に実行する命令のPC値を計算する。すなわちPC制御部51は、ジャンプ演算および分岐演算以外の命令では、実行した命令のPC値に8を加えて次に実行する命令のPC値を計算する。ジャンプ演算および分岐演算ではPC制御部51は、実行した命令のPC値に分岐変位を加算したり、演算で指定されたアドレッシングモードに従う計算をして、ジャンプ先命令のPC値を計算する。

【0020】メモリ制御部52は、PC制御部51で計算されたPC値を元に、命令RAM3へのアドレスバス53を用いて命令RAM3を起動しPC値により指定される命令コードを出力させる。また、図示はしていないが命令実行に必要なデータを、アドレスバスにデータのアドレスを与えてデータRAM4から読出してデータバスを介して汎用レジスタ群6に転送するためのものであ

る。

【0021】図2を参照して、汎用レジスタ群6は、64本の32ビットレジスタR0、R1、…、R31、R32、…、R63を含んでいる。これらレジスタは、第1の演算ユニット7および第2の演算ユニット8での演算に必要とされる数だけのレジスタ値を同時にに出力することが可能である。読出されたデータは、それぞれデータバス67および68を介して第1の演算ユニット7または第2の演算ユニット8に供給される。また汎用レジスタ群6には、第1の演算ユニット7および第2の演算ユニット8からの演算結果値を同時に書込むことが可能である。

【0022】第1の演算ユニット7は、乗算器(MPY)71と、ALU(Arithmetic and Logic Unit)72と、シフタ73とを含む。同様に第2の演算ユニット8は、乗算器81と、ALU82と、シフタ83とを含む。乗算器71と乗算器81、ALU72とALU82、シフタ73とシフタ83とはそれぞれ全く同一の機能を持つ演算器である。したがって第1の演算ユニット7と第2の演算ユニット8とは全く同一の機能を持つ演算ユニットである。

【0023】第2の演算ユニット8のためのクロック制御部9は、マイクロプロセッサ1の内部で用いられているチップクロック90を入力として、CR/PSW21の値に基づいて、第2の演算ユニット8に供給するクロック91の生成または制御を行なうためのものである。

【0024】図3を参照して、CR/PSW21は次のような構成を有する。CR/PSW21の上位16ビット100は、スタックポインタを切換えるSMフィールド101と、ソフトウェアデバッグトラップ(SDBT)の検出を示すEAフィールド102と、SDBTの許可を指定するDBフィールド103と、割込許可を指定するIEフィールド104と、リピート動作の許可を指定するRPフィールド105と、モジュロアドレッシングの許可を指定するMDフィールド106と、第2の演算ユニット8を使用するかどうかを指定するWMビット120とを含む。

【0025】CR/PSW21の下位16ビットは、フラグフィールド110である。フラグフィールド110は、8個のフラグF0～F7を含む。これらフラグはそれぞれ演算の有効、無効を制御するためのものである。各フラグの値は比較演算や算術演算の結果に依存して変化する。また各フラグの値はフラグ初期化演算で初期化される。さらにまた各フラグの値はフラグ値書込演算で任意の値をCR/PSW21に書込むことにより変化する。フラグ値読出演算を用いることにより、CR/PSW21の値を読出することも可能である。

【0026】図4を参照して、第2の演算ユニット8用のデコーダ28は、入力として第1の演算ユニット7用のデコーダ27に与えられる命令コードと同じ命令コ-

ド200と、NOP(ノーオペレーション)命令を固定的に出力するためのNOP命令固定コード201と、CR/PSW21中のWMビット120とを受ける。前述のようにWMビット120は、第2の演算ユニット8を使用するかどうかを指定する値である。

【0027】デコーダ28は、命令コード200とNOP命令固定コード201とを受け、WMビット120により制御される2入力セレクタ202と、2入力セレクタ202の出力する命令コードをデコードするデコーダ210とを含む。このデコーダ210は、第1の演算ユニット7に対応するデコーダ27(図1参照)と全く同じ構成のものである。またセレクタ202は、WMビット120の値が「0」の場合にはNOP命令固定コード201を選択し、WMビット120の値が「1」の場合には命令コード200を選択する構成となっている。

【0028】図5を参照して、汎用レジスタ群6用のデコーダ26は、CR/PSW21中のWMビット120、汎用レジスタ(GPR)選択コード(SEL\_GPR[0:5])300を入力として受ける。そしてデコーダ26は、第1の演算ユニット7で用いられるレジスタを64本のレジスタR0～R63の中から選択するための制御信号16と、第2の演算ユニット8で用いられるレジスタを32本のレジスタR32～R63の中から選択するための制御信号18とを出力する。

【0029】デコーダ26は、CR/PSW21からのWMビット120の反転した値と、GPR選択コード300の最上位ビット302とを受けるAND回路304と、GPR選択コード300の下位5ビット301を受ける、第2の演算ユニット用のGPRデコーダ310と、GPR選択コード300の下位5ビットおよびAND回路304の出力する信号303を受け、制御信号16を出力する第1の演算ユニット用のGPRデコーダ320と、第1の演算ユニット用のGPRデコーダ310が出力する32ビットの制御信号330の各々とWMビット120とのANDをとって制御信号18として出力するための32個のAND回路340とを含む。

【0030】図6を参照して、第2の演算ユニット8用のクロック制御部9は、マイクロプロセッサ1内部で用いられるチップクロック90と、CR/PSW21中のWMビット120とを入力として受ける。クロック制御部9は、これら2つの入力信号の論理積をとって第2の演算ユニット8用のクロック91として出力するためのAND回路92を含む。

【0031】以上のように構成されたマイクロプロセッサ1は以下のように動作する。[第2の演算ユニットを使用しない場合] 第2の演算ユニット8を使用しない場合には、CR/PSW21中のWMビット120が「0」に設定される。この場合、第1の演算ユニット7に対して命令デコードユニット2から与えられる制御信号17は、命令RAM3から読出された命令コードを第

1の演算ユニット用のデコーダ27を用いてデコードした結果である。この信号は、命令コードで指定された演算を行なうために必要な、第1の演算ユニット7中の演算器（乗算器71、ALU72、シフタ73のいずれか）を動作させるための信号である。

【0032】これに対して、第2の演算ユニット8に対する制御信号19は次のようになる。命令RAM3から読出された命令コードは第2の演算ユニット8用のデコーダ28に与えられる。デコーダ28は、図4を参照して、CR/PSW21中のWMビット120が「0」であるため、NOP命令固定コード201を選択して命令コード203としてデコーダ210に与える。デコーダ210はこの命令コードをデコードするが、命令コードがNOP命令であるため第2の演算ユニット8は結果として演算を行なわない。すなわち第2の演算ユニット8のすべての演算器（乗算器81、ALU82、シフタ83）は動作しない。

【0033】このように、CR/PSW21中のWMビット120が「0」の場合には、第1の演算ユニット7のみが動作し、第2の演算ユニット8は動作しない。

【0034】汎用レジスタ群6用のデコード26は次のように動作する。図5を参照して、WMビット120が「0」であればAND回路340はすべて「0」を出力する。したがってデコーダ310のデコード結果にかかわらず、第2の演算ユニット8が使用するレジスタを選択するための32ビットの制御信号18の全ビットは常に「0」となる。いずれのレジスタもアクティブにならず、汎用レジスタ群6に含まれているいずれのレジスタも第2の演算ユニット8によっては使用されない。

【0035】一方、CR/PSW21中のWMビット120が「0」なので、AND回路304の出力はGPR選択コード300の最上位ビット302と同じ値となる。つまり、AND回路304の出力303と、GPR選択コード300の下位5ビット301とが第1の演算ユニット用のGPRデコーダ320に入力される。そのデコード結果として、第1の演算ユニット7で用いられるレジスタを、64本のレジスタR0～R63の中から選択するための64ビットの制御信号16が生成される。この制御信号16によって指定された汎用レジスタ群6中のレジスタが、第1の演算ユニット7での演算において用いられる。

【0036】このように、CR/PSW21中のWMビット120が「0」の場合には、第1の演算ユニット7の演算に使用するレジスタが、汎用レジスタ群6中の64本のレジスタR0～R63の中から選択され使用される。一方、第2の演算ユニット8については、どのレジスタも使用されない。こうして、WMビット120の値を0に設定することにより、第1の演算ユニットを単独で使用する動作モードで動作することができる。しかも第1の演算ユニットのみを用いる場合には、64本のレ

ジスタすべてを第1の演算ユニット7で使用することができる。

【0037】さらに、図6を参照して、WMビット120が「0」であると、AND回路92の出力する、第2の演算ユニット用のクロック91は常に「0」という固定信号となる。そのため第2の演算ユニット8の各演算器は全く動作せず、電力消費を節減することができる。

【0038】以上のように、CR/PSW21中のWMビットが「0」の場合には、第1の演算ユニット7は実際に演算を行なうが、第2の演算ユニット8は演算を行なわない。しかも第1の演算ユニットは64本のレジスタをすべて使用することができる。一方、第2の演算ユニットにはクロック91が供給されないために、その内部回路は全く動作しない。

【0039】【第2の演算ユニット8を使用する場合】第2の演算ユニット8を使用する場合には、CR/PSW21中のWMビット120が「1」に設定される。

【0040】この場合にも、第1の演算ユニット7に対して与えられる制御信号17（図1参照）は、命令RAM3から読出された命令コードをデコーダ27を用いてデコードした結果である。したがってこの信号は、命令コードによって指定された演算を行なうために必要な、第1の演算ユニット7中の演算器（乗算器71、ALU72、シフタ73のいずれか）を動作させるための信号になっている。

【0041】一方、第2の演算ユニット8に対する制御信号19（図1参照）は次のようになる。命令RAM3から読出された命令コードは、第2の演算ユニット8用のデコーダ28に与えられる。図4を参照して、デコーダ28のセレクタ202は、WMビット120が「1」であるため、入力された命令コード200を選択して命令コード203としてデコーダ210に与える。デコーダ210は、この命令コード203をデコードして制御信号19を出力する。デコーダ210は、前述のように第1の演算ユニット7用のデコーダ27と全く同じ構成である。したがって、入力される命令コード203が第1の演算ユニット7用のデコーダ27に与えられるものと全く同一であるため、デコーダ210から出力される制御信号19は、デコーダ27から出力される制御信号17と同じものとなる。この結果、第2の演算ユニット8は第1の演算ユニット7と全く同じ演算を行なうことになる。

【0042】一方、図5を参照して、汎用レジスタ群6用のデコーダ26は次のように動作する。CR/PSW21中のWMビット120が「1」の場合、AND回路304の出力303は常に「0」となる。すなわち第1の演算ユニット7用のGPRデコーダ320には、「0」+GPR選択コードの下位5ビット301が入力される。この場合には、デコーダ320が出力する制御信号16（64ビット）のうち、汎用レジスタ群6中の

32本のレジスタR0～R31のみを選択することができる信号となる。制御信号16の下位32ビット[32:63]がアクティブになることはない。そしてこの制御信号16によって選択された汎用レジスタ群6中のレジスタが、第1の演算ユニット7での演算に用いられる。

【0043】一方、図5を参照して、第2の演算ユニット用のGPRデコーダ310には、WMビット120が「0」のときと同様に、GPR選択コード300の下位5ビット301が与えられる。その結果デコーダ310の出力する制御信号330は、汎用レジスタ群6中の32本のレジスタR32～R63の中から、使用するレジスタを選択するための32ビットの信号となる。こうして各AND回路340に与えられた制御信号330は、WMビット120が「1」であるため、そのまま制御信号18として出力される。よってこの場合には、汎用レジスタ群6中の、32ビットの制御信号18に対応したレジスタが、第2の演算ユニット8での演算に用いられる。

【0044】こうして、CR/PSW21中のWMビット120が「1」の場合には、第1の演算ユニット7の演算には、汎用レジスタ群6中の32個のレジスタR0～R31から、制御信号16で指定されるレジスタが選択されて使用される。一方第2の演算ユニット8の演算には、汎用レジスタ群6中の32本のレジスタR32～R63から、制御信号18で指定されるレジスタが選択されて使用される。

【0045】なおこの場合、図6を参照して、WMビット120が「1」であるため、AND回路92はクロック90をそのまま第2の演算ユニットのクロック91として出力する。すなわちクロック90と同じクロックが第2の演算ユニットにも供給され、第2の演算ユニットは第1の演算ユニットと同様に動作する。

【0046】こうして、CR/PSW21中のWMビット120が「1」の場合には、第1の演算ユニット7は汎用レジスタ群6中のR0～R31の32本のレジスタの中から選ばれたレジスタに対して、第2の演算ユニット8は汎用レジスタ群6中のR32～R63の32本のレジスタの中から選択されたレジスタに対して、それぞれ同じ演算を行なう。

【0047】以上のようにこの実施の形態のマイクロプロセッサでは、CR/PSW21中のWMビットに「0」を設定すれば、第1の演算ユニット7のみを用いて演算を行なうことができる。しかもこの場合、64本の汎用レジスタ群6のすべてを、第1の演算ユニット7での演算に用いることができる。一方、WMビットに「1」を設定すると、第1の演算ユニット7と第2の演算ユニット8とで全く同じ演算を実行することができる。さらにこの場合、第1の演算ユニット7と第2の演算ユニット8とには、汎用レジスタ群6のレジスタを2

分してそれぞれ利用可能に割当ることができる。この場合、第2の演算ユニット8としては、第1の演算ユニット7と全く同一のものを用いることができる。そのためたとえば、第2の演算ユニット8を非動作と設定すれば、第1の演算ユニット7のみを持った従来の装置に実行可能なプログラムを、一切の変更を加えることなく実行できる。また、2つの実行ユニットを動作させる場合には、レジスタファイルを見かけ上分割したように自動的に取扱うので、命令コードにおけるフィールドなどの変更をすることも不要であり、従来の装置との互換性を最大限維持することができる。

【0048】以上のように、同じ構成を有する演算ユニットをマイクロプロセッサ中に追加し、制御レジスタの値を用いて追加された演算ユニットの動作、非動作を制御することが可能となる。同じ演算を行なう場合には、複数の演算ユニットを並列に動作させることができ、従来よりも高度な演算性能を実現することが可能である。一方、単一の演算ユニットのみを動作させれば、従来と全く同一のプログラムを何ら変更することなく実行させることができる。

【0049】また、動作しない演算ユニットへのクロック供給を停止することにより、演算ユニットの動作を停止させることができるだけでなく、演算ユニット内の全回路が動作しないので、電力消費を削減することができる。

【0050】さらに、動作しない演算ユニットに対しては、命令コードをNOP命令に切り替え、そのためにWMビットによって制御されるセレクタを使用する。したがって、非常に簡単な機構によって演算ユニットの動作を制御することができる。

【0051】なお、上述の実施形態の装置では、演算ユニットを1組だけ追加し、2組の演算ユニットを用いた例を示した。しかし本発明はこの実施の形態に限定されるわけではない。CR/PSW21中のWMフィールドのビット数を増加させることにより、同様にして複数組の演算ユニットを追加して制御することは容易に行なうことができる。

【0052】今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

### 【0053】

【発明の効果】以上のように請求項1に記載の発明によれば、第1の演算ユニットのみを動作状態とすることができます、その場合には単一の演算ユニットのみをもつマイクロプロセッサと全く同じ動作が可能である。一方、第1の演算ユニット以外の演算ユニットを動作可能とすると、演算性能を向上させることができる。したがって、

従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、演算性能を向上させたマイクロプロセッサを提供することができる。

【0054】請求項2に記載の発明によれば、請求項1に記載の発明の効果に加えて、非動作状態に制御された演算ユニットへのクロック信号の供給が停止される。それら演算ユニットに含まれる演算器は全く動作しないので、消費電力を節減することができる。その結果、従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、複数個の演算ユニットを用いて演算性能を向上させ、かつ消費電力の増大を少なくしたマイクロプロセッサを提供することができる。

【0055】請求項3に記載の発明によれば、簡単な構成で、従来のマイクロプロセッサとの互換性をできるだけ維持しつつ、複数個の演算ユニットを用いて演算性能を向上させたマイクロプロセッサを提供することができる。

#### 【図面の簡単な説明】

【図1】 本発明の一実施の形態に係るマイクロプロセッサ

の全体構成図である。

【図2】 汎用レジスタ群6の構成を示す図である。

【図3】 本発明の一実施の形態のマイクロプロセッサの制御レジスタ／プロセッサ状態後を示す図である。

【図4】 本発明の一実施の形態のマイクロプロセッサの第2の演算ユニット用のデコーダを示す図である。

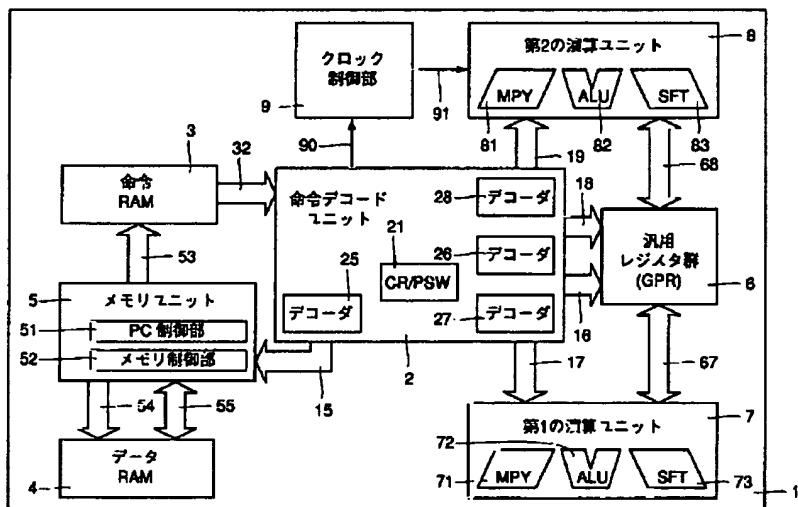
【図5】 本発明の一実施の形態のマイクロプロセッサの、汎用レジスタ群のためのデコーダの構成を示す図である。

【図6】 本発明の一実施の形態に係るマイクロプロセッサの、第2の演算ユニットへのクロック制御部9を示す図である。

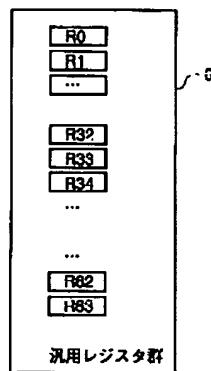
#### 【符号の説明】

1 マイクロプロセッサ、2 命令デコードユニット、3 命令RAM、4 データRAM、5 メモリユニット、6 汎用レジスタ群、7 第1の演算ユニット、8 第2の演算ユニット、9 クロック制御部、21 制御レジスタ／プロセッサ状態語 (CR/PSW)。

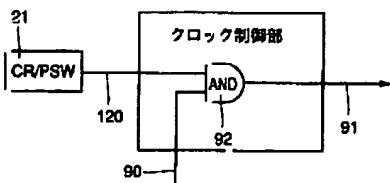
【図1】



【図2】

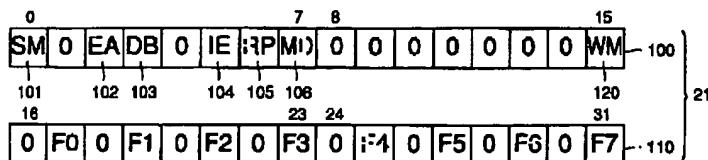


【図6】



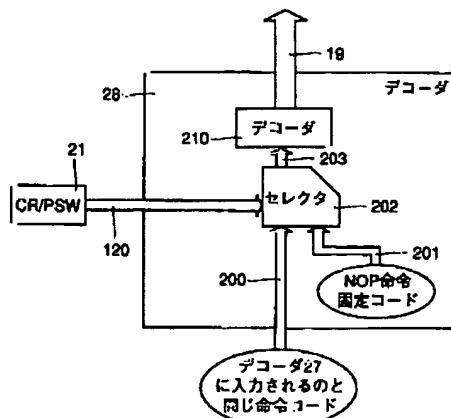
(8) 000-298589 (P2000-298589A)

【図3】

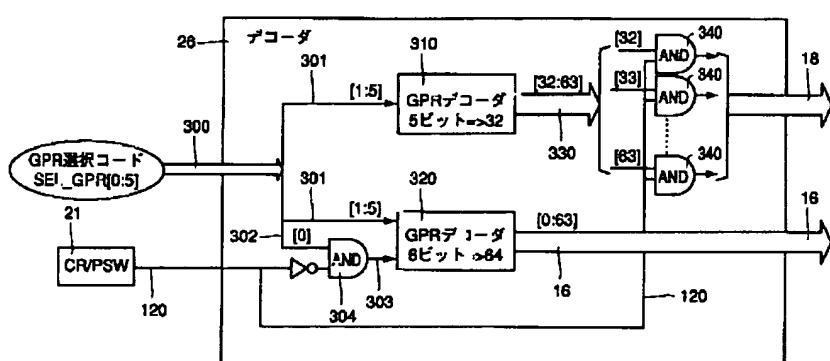


SM : 0	スタックモード0	F0	実行コントロールフラグ1
:1	スタックモード1	F1	実行コントロールフラグ2
EA : 0	SDBTを未検出	F2	汎用フラグ1
:1	SDBTを検出	F3	汎用フラグ2
DB : 0	SDBTを不許可	F4 (S)	飽和演算フラグ
:1	SDBTを許可	F5 (V)	オーバーフロー・フラグ
WM : 0	処理ユニット1のみ有効	F6 (VA)	累積オーバーフロー・フラグ
:1	処理ユニット1、2共に有効	F7 (C)	キャリー/ボローフラグ
IE : 0	割込み不許可		
:1	割込み許可		
RP : 0	リピートブロック無効		
:1	リピートブロック有効		
MD : 0	モジュロアドレッシング無効		
:1	モジュロアドレッシング有効		

【図4】



【図5】



フロントページの続き

(51) Int. Cl. 7	識別記号	F I	(参考)
G 0 6 F 9/34	3 3 0	G 0 6 F 15/78	5 1 0 P
15/78	5 1 0	9/30	3 4 0 A